

P-657

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-064953

(43)Date of publication of application : 06.03.1998

(51)Int.Cl. H01L 21/60

(21)Application number : 08-218928

(71)Applicant : FUJITSU LTD

(22)Date of filing : 20.08.1996

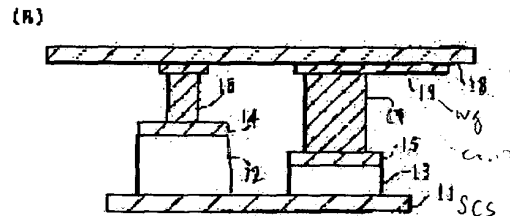
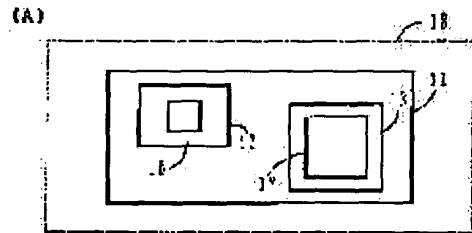
(72)Inventor : SHIMURA TADAYUKI

(54) FACE-DOWN BONDING SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize uniform face-down bonding through the use of a semiconductor substrate having a level difference on the surface and pillars, in a face-down bonding semiconductor device and its manufacture method, which is suitable for flip-chip-bonding of the semiconductor substrate having electric connection parts different in surface height on an insulating substrate having wiring electrodes.

SOLUTION: In the conductive pillars 16 and 17 which electrically and mechanically connect the electric connection parts with different surface height of a semiconductor substrate 11 and the wiring electrodes 19 formed on the surface of an insulating substrate 18, the relatively high pillar 17 has a larger diameter than the relatively low pillar 16.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

*** NOTICES ***

The Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Especially this invention relates the semiconductor substrate which has the electrical connection section from which a surface height is different about face down bonding semiconductor equipment and its manufacture technique to the face down bonding semiconductor equipment suitable for carrying out flip chip bonding of the wiring electrode on the insulating substrate which it has, and its manufacture technique.

[0002]

[Description of the Prior Art] In recent years, in connection with high-bandwidth-izing of communication system etc., the demand to the high semiconductor equipment of a frequency of operation is strong. Compound semiconductors, such as GaAs, have carrier mobility higher than Si, and are suitable for the semiconductor equipment which carries out a fast turn around. However, the semiconductor chip using the compound semiconductor is more expensive than the semiconductor chip which used Si.

[0003] What is necessary is for it to be rare to require a fast turn around of the whole circuit, and just to be able to carry out the fast turn around of the part in much intended use.

Moreover, there is also a circuit fraction expected a high accumulation density rather than a fast turn around. Then, the technique of creating only the fraction as which the high-speed (RF) operation in a circuit is required for chips, such as a compound semiconductor, is taken.

[0004] In the RF circuit, it is important to reduce the inductance and capacitance of a track. As for the semiconductor chip for RFs, it is desirable to connect with a track by the short connection means by low resistance if possible. Face down bondings, such as flip chip bonding which uses a bump, a pillar, etc. for the wiring electrode on an insulating substrate, and connects the surface electrode on a semiconductor substrate to it, are suitable for such a purpose.

[0005]

[Problem(s) to be Solved by the Invention] When carrying out face down bonding using a bump, a pillar, etc., a bump and a pillar are usually formed in the same height. When a semiconductor front face has a level difference, it is difficult to carry out direct face down bonding on a level difference front face. It becomes difficult to make a bonding property uniform, though some difference of elevation is absorbed by crushing a bump and a pillar.

[0006] The purpose of this invention is providing a front face with the face down bonding semiconductor equipment in which uniform face down bonding's is possible, and its manufacture technique using the semiconductor substrate which has a level difference, and a pillar.

[0007] Other purposes of this invention are offering the manufacture technique of the face down bonding semiconductor equipment which can create easily the pillar from which a height's is different on a substrate.

[0008]

[Means for Solving the Problem] It is the conductive pillar from which the height which connects electrically and mechanically the semiconductor substrate which formed in one front face the electrical connection section from which a surface height is different according to

one viewpoint of this invention, the insulating substrate in which the electrode for a wiring was formed on the front face, and the above-mentioned electrical connection section and the above-mentioned electrode for a wiring is different, and the face down bonding semiconductor equipment which has the conductive pillar in which a high pillar has a path bigger than a low pillar relatively is offered.

[0009] By changing the path of a pillar, the pillar from which a height is different can be created easily. The height of a pillar can be chosen by selection of a path.

[0010] The semiconductor substrate which formed in one front face the electrical connection section from which a surface height is different according to other viewpoints of this invention, On one substrate of the process for which the insulating substrate in which the electrode for a wiring was formed on the front face is prepared, and the above-mentioned semiconductor substrate and the above-mentioned insulating substrate The process which forms the resist pattern which has two or more openings from which the path which exposes the conductive front face of the above-mentioned electrical connection section or a part of above-mentioned electrode for a wiring is different, The plating process which the conductive front face exposed in opening of the plurality on above-mentioned one substrate is contacted in plating liquid, and forms a pillar, The path of the pillar linked to the electrical connection section with a high surface height including the process which while formed the above-mentioned pillar and carries out face down bonding of a substrate and the substrate of another side The manufacture technique of parvus face down bonding semiconductor equipment is offered rather than the path of the pillar linked to the electrical connection section with a low surface height.

[0011] If it plates by forming on a substrate the resist pattern which has opening from which a path is different, supply of fresh plating liquid will change with the paths of opening, and the deposit from which a height is different will be created. The pillar from which a height is different can be created using such a deposit.

[0012]

[Embodiments of the Invention] Hereafter, the restrictive flip-chip-bonding semiconductor equipment according to the example of this invention meaningless and its manufacture technique are explained. in addition, the thing which the same technique can apply to other face down bonding semiconductor equipments — obvious — it will be .

[0013] Drawing 1 (A) and (B) show the basic example of this invention. Drawing 1 (A) shows the plan of the semiconductor substrate 11, and drawing 1 (B) shows drawing of longitudinal section of flip-chip-bonding semiconductor equipment.

[0014] As shown in drawing 1 (A), circuit elements 12 and 13 are formed on the front face of the semiconductor substrate 11.

[0015] As shown in drawing 1 (B), these circuit elements 12 and 13 have a different height. The surface electrodes 14 and 15 are formed on the front face of these circuit elements 12 and 13.

[0016] If a pillar tends to be used and it is going to carry out flip chip bonding of the insulating substrate 18 in which the electrode for a wiring 19 was formed to the front face of the semiconductor substrate 11, as shown in drawing 1 (B), it is required to use the conductive pillars 16 and 17 from which a height is different. If the pillars 16 and 17 from which the height which offsets the level difference on a semiconductor substrate front face is different are used, flip chip bonding of the surface electrodes 14 and 15 on the semiconductor substrate 11 can be carried out to the electrode for a wiring 19 on an insulating substrate 18.

[0017] It explains to a detail more how hereafter, the pillar from which such a height is different is created, and is used [how].

[0018] Drawing 2 (A) is a graph which shows change of the height of the deposit when plating in the area which forms the resist mask which has opening on a substratum front face, and was exposed in opening. A quadrature axis shows path D of opening by unit mum, and an axis of ordinate shows the height of a deposit by unit mum.

[0019] Drawing 2 (B) shows the configuration of the used sample roughly. The seed metal layer 31 is formed on the front face of an insulating substrate 18, and the photoresist layer 32

is applied on the front face. The photoresist layer 32 has the thickness of t by carrying out a multiple-times application. Opening 38 is formed by performing contact exposure or pro squeak tee exposure in the photoresist layer 32. Opening 38 is designed so that it may have various path D .

[0020] On the seed metal layer 31 covered in the photoresist layer 32 which has opening of different path D , it plates and a deposit 35 is grown up. Sinter processing is performed after resist layer elimination. Height H of a deposit 35 is measured as a function of diameter D of opening.

[0021] As plating liquid, the cyanogen system plating liquid with which precipitation luminous efficacy is different was used. In drawing 2 (A), curves Ha1 and Ha2 show the result at the time of using the cyanogen system plating liquid of tradename auto *****. Curves Hb1 and Hb2 show the experimental result at the time of using the cyanogen system plating liquid of tradename tempeh *****. In addition, a property can be adjusted by changing, the depth, i.e., the photoresist layer thickness, of opening. Curves Ha1 and Ha2 show the property adjusted by changing the thickness of a photoresist. The same is said of curves Hb1 and Hb2. Each resist layer thickness is Ha1:14micrometer, Ha2:25micrometer, Hb1:20micrometer, and Hb2:25micrometer.

[0022] When path D of opening is increased so that clearly from each curve of drawing 2 (A), height H of the deposit formed increases abruptly at first, and shows the inclination saturated soon. The field where height H changes with path D can be chosen quite broadly by adjusting the thickness of a photoresist. Therefore, what is necessary is to choose the property containing a desired height and just to choose path D which realizes a desired height on the characteristic curve to obtain the deposit from which a height is different.

[0023] Hereafter, a more concrete example is explained. Drawing 3 (A) shows sectional drawing of the flip-chip-bonding semiconductor equipment using the compound semiconductor chip by the example of this invention. The semiconductor substrate 11 is formed by GaAs and has the channel layer 21 on a front face. The periphery of a channel layer is surrounded in the half-insulation field 22. On the channel layer 21, the gate electrode 28, 27s of source electrodes, and 27d of drain electrodes are formed, and MESFET is formed. In addition, the gate electrode 28 forms a Schottky contact in the channel layer 21, and the source / drain electrodes 27s and 27d form an ohmic contact in a channel layer. In addition, the source / drain electrodes 27s and 27d are formed by the laminating of AuGe layer with a thickness of 35nm, nickel layer with a thickness of 11nm, and Au layer with a thickness of 154nm.

[0024] On the half-insulation field 22 of the left of MESFET, the SiON layer 23 with a thickness of about 240nm is formed, and the capacitor lower electrode 24 is formed on it. The capacitor lower electrode 24 is formed by the laminating of Ti layer with a thickness of 10nm and Au layer with a thickness of 300nm. On the capacitor lower electrode 24, the SiON layer 25 with a thickness of about 240nm is formed, and the capacitor up electrode 26 is formed on it. The capacitor up electrode 26 is formed like the capacitor lower electrode 24 by the laminating of Ti layer with a thickness of about 10nm and Au layer with a thickness of about 300nm. According to such a configuration, the level difference of about 1 micrometer arises between the source / drain electrode 27 front face of FET, and up electrode 26 front face of a capacitor.

[0025] In addition, the insulation-protection layer 29 is formed on the semiconductor substrate front face. Opening which exposes the center section on the front face of an electrode is formed in the insulation-protection layer 29. On the exposed electrode front face, the surface electrodes 14, 15s, and 15d are formed.

[0026] On the insulating substrate 18, the electrodes for a wiring 19c, 19s, and 19d are formed. the surface electrodes 14, 15s, and 15d and the electrode for a wiring — 19 c, for 19s, in order to connect 19d uniformly, the conductive pillars 16, 17s, and 17d from which a height is different are used Even if it forms these conductive pillars on an insulating substrate 18, you may form them on the semiconductor substrate 11.

[0027] Drawing 3 (B) shows the flat-surface configuration of the semiconductor substrate 11

roughly. Field-effect transistor FET is formed in the right-hand side in drawing, and capacitor CAP is formed in left-hand side. The parvus conductivity pillar 16 of a path is arranged on the surface electrode 14 of a capacitor. The conductive large pillars 17s and 17d of a path are arranged in the source of FET, and surface electrodes [on a drain / 15s and 15d] top. In addition, the gate electrode 28 is pulled out on an insulating substrate in the location different from drawing 3 (A).

[0028] The manufacturing process of the semiconductor substrate 11 which created transistor FET and capacitor CAP can be conventionally carried out by the well-known technique. Next, how to create the conductive pillar from which a height is different on an insulating substrate is explained.

[0029] Drawing 4 (A) shows the process which forms the photoresist layer 32 which has opening on an insulating substrate 18.

[0030] The seed metal layer 31 is formed on the insulating substrate 18 which has an electrode (not shown) for a wiring. For example, the laminating of Au layer with a thickness of about 100nm or TiW layer with a thickness of about 100nm, and Au layer with a thickness of about 100nm is formed. Sputtering, vacuum evaporation, plating, etc. can perform formation of the seed metal layer 31. On the front face of the seed metal layer 31, a viscous high resist material is used and the photoresist layer 32 is formed. In order to use the curve Hb2 of drawing 2 (A), the photoresist layer 32 with a thickness of about 25 micrometers is formed by applying a resist layer twice.

[0031] On this photoresist layer, mask M is arranged and opening is exposed by contact exposure or pro squeak tee exposure. Opening 38 is formed by developing a photoresist layer. In addition, although the case of positive exposure was explained, you may carry out by negative exposure. In this case, black and white of a mask are inverted.

[0032] In order to absorb the level difference of 1 micrometer of FET in drawing 3 (A), and capacitor CAP, a pillar with a height of 19 micrometers and a pillar with a height of 20 micrometers will be created. If the curve Hb2 of drawing 2 (A) is used, in order to create a deposit with a height [of 19 micrometers], and a height of 20 micrometers, things are understood that path D of opening should just be about 32.3 micrometerphi and about 34.6micrometerphi. The path of the opening 38 shown in drawing 4 (A) is carried out in this way, and is designed.

[0033] Drawing 4 (B) shows the process which plates on the seed metal layer 31 on an insulating substrate 18. The insulating substrate 18 in which the photoresist layer 32 which has opening from which a path is different was formed is immersed into plating liquid 33 with a counterelectrode 34. A negative potential is given to a counterelectrode 34 at the seed metal layer 31 on right potential and an insulating substrate, and the current of 5.8A/Wf is passed for 133 minutes in 43-degree C plating liquid 33. At this time, the growth rate of a deposit is about 0.15 micrometers/min.

[0034] Drawing 4 (C) shows roughly the status of the deposit which does in this way and was formed. Deposit 35c with a height of about 19 micrometers grows up to be opening for capacitors, and the deposits 35s and 35d with a height of about 20 micrometers grow into opening corresponding to the source / drain electrode of FET.

[0035] Thus, after forming the deposit of a request height, as shown in drawing 4 (D), the photoresist layer 32 is removed. Then, ion milling removes the seed metal layer 31 of fractions other than a pillar-like deposit. Thus, the pillar-like deposit 35 of a request height can be formed on an insulating substrate 18.

[0036] Thus, the insulating substrate in which the pillar of a request height was formed can be arranged on the semiconductor substrate 11, and the flip-chip-bonding semiconductor equipment shown in drawing 3 (A) can be completed by carrying out bonding to the surface electrode of a semiconductor substrate.

[0037] In addition, a pillar can also be formed in a semiconductor substrate although the case where a pillar was formed on an insulating substrate was explained.

[0038] Drawing 5 shows roughly the process which creates a conductive pillar on the semiconductor substrate 11. The photoresist layer 36 is applied on the semiconductor

substrate 11. The sufficiently thick photoresist layer 36 is formed by repeating an application of a request time like the above-mentioned resist layer application process. A mask is arranged on the photoresist layer 36 and a request pattern is exposed by contact exposure or pro squeak tee exposure. By developing the photoresist layer 36, the opening 38 which exposes the surface electrodes 14, 15s, and 15d is formed.

[0039] Henceforth, a plating process which is shown in drawing 4 (B) as well as the above-mentioned example is performed, and pillars 16, 17s, and 17d are formed on the surface electrodes 14 and 15s and 15d. Then, the photoresist layer 36 is removed.

[0040] Drawing 6 shows roughly the semiconductor equipment by other examples of this invention. Bonding of the insulating substrate 18 is carried out on the semiconductor substrate 11. On the front face of the semiconductor substrate 11 circumference section, the pillars 41, 42, and 43 to which a height becomes low gradually are formed. These are the monitor pillars of bonding, a circuit fraction is formed in other locations of the semiconductor substrate 11, and the conductive pillar for electrical installation is independently formed on a circuit fraction.

[0041] For example, the height of the pillar for monitors 42 presupposes that it is a height equivalent to a pillar required for the electrical connection of a circuit fraction. The status that the highest pillar 41 was crushed and bonding of the pillar 42 high next was carried out to the insulating substrate 11 is in the good status. If an insulating substrate 18 is pushed too much, the low pillar 43 will also contact an insulating substrate 18.

[0042] Thus, the status that two of three pillars from which a height is different were connected is in the good status. The status that only one pillar was connected is in the status which runs short of how to push, and the status that three connected is in the status which passing pushes.

[0043] In the manufacture process of semiconductor equipment, after performing flip chip bonding, the quality of bonding can be easily judged by viewing the status of the bonding of the pillars for monitors 41, 42, and 43. That is, it is enabled to judge the excess and deficiency of bonding simple, without passing a current.

[0044] In addition, although the case where a semiconductor substrate had a transistor and a capacitor was explained, this may be mere instantiation and may be the semiconductor substrate of what configuration. A semiconductor substrate is not restricted to a compound semiconductor substrate. Even if it uses Si substrate, the advantage of face down bondings, such as flip chip bonding, can be acquired.

[0045] The same process can be carried out when carrying out face down bonding of between the semiconductor substrate which has a level difference on a front face, the substrate which has a flat front face although the case where face down bonding of the insulating substrate in which the electrode for a wiring was formed on the front face was carried out was explained, and the substrate which has a level difference front face. For example, you may carry out flip chip bonding of the compound semiconductor substrate on Si substrate.

[0046] You may use non-electrolyzed plating, although the case where flooded with plating liquid and electrolysis plating of the substrate in which the resist mask was formed was carried out was explained. You may use other plating, such as the pad method.

[0047] Although this invention was explained in accordance with the example above, this invention is not restricted to these. for example, various change, enhancement, combination, etc. are possible — this contractor — obvious — it will be .

[0048]

[Effect of the Invention] As explained above, according to this invention, flip chip bonding of the semiconductor substrate which has a level difference front face, and the substrate which has a flat front face can be carried out uniformly.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-64953

(43) 公開日 平成10年(1998) 3月6日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平8-218928

(22) 出願日 平成8年(1996) 8月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 志村 忠幸

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 高橋 敬四郎

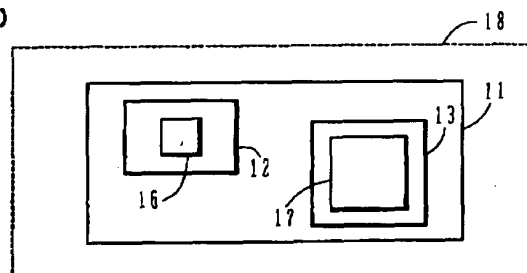
(54) 【発明の名称】 フェースダウンボンディング半導体装置とその製造方法

(57) 【要約】 (修正有)

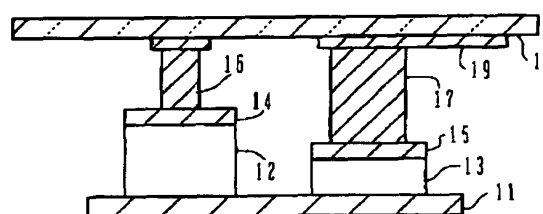
【課題】 表面高さの異なる電気接続部を有する半導体基板を配線電極を有する絶縁基板上にフリップチップボンディングするのに適したフェースダウンボンディング半導体装置とその製造方法に関し、表面に段差を有する半導体基板と、ピラーとを用い、均一なフェースダウンボンディングが可能なフェースダウンボンディング半導体装置とその製造方法を提供することである。

【解決手段】 1表面に表面高さの異なる電気接続部を形成した半導体基板11と、表面に配線用電極19を形成した絶縁基板18との、それぞれ前記電気接続部と前記配線用電極19とを電気的、機械的に接続する高さの異なる導電性ピラー16, 17について、相対的に高いピラー17が相対的に低いピラー16よりも大きな径を有するように構成する。

(A)



(B)



11: 半導体基板	16, 17: 導電性ピラー
12, 13: 回路素子	18: 絶縁基板
14, 15: 表面電極	19: 配線用電極

【特許請求の範囲】

【請求項1】 1表面に表面高さの異なる電気接続部を形成した半導体基板と、
表面に配線用電極を形成した絶縁基板と、
前記電気接続部と前記配線用電極とを電気的、機械的に接続する高さの異なる導電性ピラーであって、相対的に高いピラーが相対的に低いピラーよりも大きな径を有する導電性ピラーとを有するフェースダウンボンディング半導体装置。

【請求項2】 前記半導体基板は、前記1表面の表面層に形成され、第1の高さの表面電極を有する半導体素子と、前記1表面上に形成され、第1の高さより高い第2の高さの表面電極を有する回路素子とを含み、前記電気接続部は前記表面電極である請求項1記載のフェースダウンボンディング半導体装置。

【請求項3】 前記導電性ピラーは約60 μ m以下の径を有する請求項1または2記載のフェースダウンボンディング半導体装置。

【請求項4】 さらに、前記半導体基板と前記絶縁基板との一方のみに接続され、他方との間に間隙を有するモニタピラーを有する請求項1～3のいずれかに記載のフェースダウンボンディング半導体装置。

【請求項5】 1表面に表面高さの異なる電気接続部を形成した半導体基板と、表面に配線用電極を形成した絶縁基板とを準備する工程と、
前記半導体基板および前記絶縁基板の一方の基板上に、前記電気接続部または前記配線用電極の一部の導電性表面を露出する径の異なる複数の開口部を有するレジストパターンを形成する工程と、
前記一方の基板上の複数の開口部内に露出する導電性表面をメッキ液に接触させ、ピラーを形成するメッキ工程と、
前記ピラーを形成した一方の基板と他方の基板とをフェースダウンボンディングする工程とを含み、表面高さの高い電気接続部に接続するピラーの径は、表面高さの低い電気接続部に接続するピラーの径よりも小さいフェースダウンボンディング半導体装置の製造方法。

【請求項6】 前記レジストパターンを形成する工程は、前記一方の基板上にレジスト層を複数回塗布する工程を含む請求項5記載のフェースダウンボンディング半導体装置の製造方法。

【請求項7】 前記レジストパターンを形成する工程は、複数回塗布したレジスト層にコンタクト露光ないしプロキシシティ露光を行う工程を含む請求項6記載のフェースダウンボンディング半導体装置の製造方法。

【請求項8】 前記メッキ工程は電解メッキを行う請求項5～7のいずれかに記載のフェースダウンボンディング半導体装置の製造方法。

【請求項9】 前記メッキ工程は無電解メッキを行う請求項5～7のいずれかに記載のフェースダウンボンディ

ング半導体装置の製造方法。

【請求項10】 前記メッキ工程は高さの異なるモニタ用ピラーも形成し、さらにモニタ用ピラーのボンディング状態を検査し、ボンディングの良否を判断する工程を含む請求項5～9のいずれかに記載のフェースダウンボンディング半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、フェースダウンボンディング半導体装置とその製造方法に関し、特に、表面高さの異なる電気接続部を有する半導体基板を配線電極を有する絶縁基板上にフリップチップボンディングするのに適したフェースダウンボンディング半導体装置とその製造方法に関する。

【0002】

【従来の技術】 近年、通信システム等の高帯域化に伴い、動作周波数の高い半導体装置に対する要求が強くなっている。GaAs等の化合物半導体は、Siよりも高いキャリア移動度を有し、高速動作する半導体装置に適している。但し、化合物半導体を用いた半導体チップはSiを用いた半導体チップよりも高価である。

【0003】 多くの用途において、回路全体に高速動作が要求されることは少なく、その一部が高速動作できればよい。また、高速動作よりも高集積密度が望まれる回路部分もある。そこで回路中高速（高周波）動作の要求される部分のみを化合物半導体等のチップに作成する方法が採られる。

【0004】 高周波回路においては、線路のインダクタンスやキャパシタンスを低減することが重要である。高周波用半導体チップは、なるべく低抵抗で短い接続手段によって線路に接続することが望ましい。半導体基板上の表面電極を絶縁基板上の配線電極にバンプ、ピラー等を用いて接続するフリップチップボンディング等のフェースダウンボンディングは、このような目的に適している。

【0005】

【発明が解決しようとする課題】 バンプ、ピラー等を用いてフェースダウンボンディングする場合、バンプやピラーは通常同一高さに形成される。半導体表面が段差を有する場合、段差表面上に直接フェースダウンボンディングすることは困難である。バンプやピラーを押しつぶすことによって若干の高低差を吸収するとしても、ボンディング特性を均一にすることが困難となる。

【0006】 本発明の目的は、表面に段差を有する半導体基板と、ピラーとを用い、均一なフェースダウンボンディングが可能なフェースダウンボンディング半導体装置とその製造方法を提供することである。

【0007】 本発明の他の目的は、高さの異なるピラーを基板上に容易に作成することのできるフェースダウンボンディング半導体装置の製造方法を提供することであ

る。

【0008】

【課題を解決するための手段】本発明の一観点によれば、1表面に表面高さの異なる電気接続部を形成した半導体基板と、表面に配線用電極を形成した絶縁基板と、前記電気接続部と前記配線用電極とを電氣的、機械的に接続する高さの異なる導電性ピラーであって、相対的に高いピラーが相対的に低いピラーよりも大きな径を有する導電性ピラーとを有するフェースダウンボンディング半導体装置が提供される。

【0009】ピラーの径を変化させることにより、高さの異なるピラーを容易に作成することができる。径の選択により、ピラーの高さを選択することができる。

【0010】本発明の他の観点によれば、1表面に表面高さの異なる電気接続部を形成した半導体基板と、表面に配線用電極を形成した絶縁基板とを準備する工程と、前記半導体基板および前記絶縁基板の一方の基板上に、前記電気接続部または前記配線用電極の一部の導電性表面を露出する径の異なる複数の開口部を有するレジストパターンを形成する工程と、前記一方の基板上の複数の開口部内に露出する導電性表面をメッキ液に接触させ、ピラーを形成するメッキ工程と、前記ピラーを形成した一方の基板と他方の基板とをフェースダウンボンディングする工程とを含み、表面高さの高い電気接続部に接続するピラーの径は、表面高さの低い電気接続部に接続するピラーの径よりも小さいフェースダウンボンディング半導体装置の製造方法が提供される。

【0011】基板上に径の異なる開口部を有するレジストパターンを形成し、メッキを行うと、新鮮メッキ液の供給が開口部の径によって変化し、高さの異なるメッキ層が作成される。このようなメッキ層を用いて、高さの異なるピラーを作成することができる。

【0012】

【発明の実施の形態】以下、制限的な意味なく、本発明の実施例によるフリップチップボンディング半導体装置およびその製造方法を説明する。なお、同様な手法が他のフェースダウンボンディング半導体装置にも適用できることは自明であろう。

【0013】図1(A)、(B)は、本発明の基本実施例を示す。図1(A)は、半導体基板11の平面図を示し、図1(B)はフリップチップボンディング半導体装置の縦断面図を示す。

【0014】図1(A)に示すように、半導体基板11の表面上には、回路素子12、13が形成されている。

【0015】図1(B)に示すように、これらの回路素子12、13は異なる高さの異なる導電性ピラー12、13の表面上には表面電極14、15が形成されている。

【0016】配線用電極19を形成した絶縁基板18を半導体基板11の表面にピラーを用いてフリップチップ

ボンディングしようとする、図1(B)に示すように、高さの異なる導電性ピラー16、17を用いることが必要である。半導体基板表面上の段差を相殺する高さの異なるピラー16、17を用いれば、半導体基板11上の表面電極14、15を絶縁基板18上の配線用電極19にフリップチップボンディングすることができる。

【0017】以下、このような高さの異なるピラーをどのように作成し、どのように用いるかをより詳細に説明する。

【0018】図2(A)は、下地表面上に開口を有するレジストマスクを形成し、開口内に露出された面積にメッキを行った時のメッキ層の高さの変化を示すグラフである。横軸は開口の径Dを単位 μm で示し、縦軸はメッキ層の高さを単位 μm で示す。

【0019】図2(B)は、用いたサンプルの構成を概略的に示す。絶縁基板18の表面上に種金属層31を形成し、その表面上にホトレジスト層32を塗布してある。ホトレジスト層32は、複数回塗布することにより、tの厚さを有する。ホトレジスト層32にコンタクト露光またはプロキシミティ露光を行うことにより、開口38が形成される。開口38は、種々の径Dを有するように設計される。

【0020】異なる径Dの開口を有するホトレジスト層32で覆われた種金属層31上に、メッキを行ってメッキ層35を成長させる。レジスト層除去後、シンタ処理を行う。メッキ層35の高さHを開口径Dの関数として測定する。

【0021】メッキ液としては、析出効率の異なるシアン系メッキ液を用いた。図2(A)において、曲線Ha1、Ha2は、商品名オートロネックスのシアン系メッキ液を用いた場合の結果を示す。曲線Hb1、Hb2は、商品名テンペレックスのシアン系メッキ液を用いた場合の実験結果を示す。なお、開口の深さ、すなわちホトレジスト層の厚さを変化させることによって特性を調整できる。曲線Ha1とHa2は、ホトレジストの厚さを変化させることによって調整した特性を示す。曲線Hb1とHb2についても同様である。各レジスト層の厚さは、Ha1:14 μm 、Ha2:25 μm 、Hb1:20 μm 、Hb2:25 μm である。

【0022】図2(A)の各曲線から明らかなように、開口の径Dを増大していくと、形成されるメッキ層の高さHは、初め急激に増大し、やがて飽和する傾向を示す。径Dによって高さHが変化する領域は、ホトレジストの厚さを調整することによってかなり広範囲に選択することができる。したがって、高さの異なるメッキ層を得たい場合には、所望の高さを含む特性を選択し、その特性曲線上で所望の高さを実現する径Dを選択すればよい。

【0023】以下、より具体的な実施例を説明する。図3(A)は、本発明の実施例による化合物半導体チップ

を用いたフリップチップボンディング半導体装置の断面図を示す。半導体基板11は、たとえばGaAsで形成され、表面にチャンネル層21を有する。チャンネル層の周囲は、半絶縁領域22で囲まれている。チャンネル層21上に、ゲート電極28、ソース電極27s、ドレイン電極27dが形成され、MESFETが形成されている。なお、ゲート電極28はチャンネル層21にショットキ接触を形成し、ソース／ドレイン電極27s、27dはチャンネル層にオーミック接触を形成する。なお、ソース／ドレイン電極27s、27dは、たとえば厚さ35nmのAuGe層、厚さ11nmのNi層、厚さ154nmのAu層の積層で形成される。

【0024】MESFETの左方の半絶縁領域22上には、たとえば厚さ約240nmのSiON層23が形成され、その上にキャパシタ下部電極24が形成されている。キャパシタ下部電極24は、たとえば厚さ10nmのTi層と厚さ300nmのAu層の積層で形成される。キャパシタ下部電極24の上には、厚さ約240nmのSiON層25が形成され、その上にキャパシタ上部電極26が形成されている。キャパシタ上部電極26は、キャパシタ下部電極24と同様、たとえば厚さ約10nmのTi層と厚さ約300nmのAu層の積層で形成される。このような構成によれば、FETのソース／ドレイン電極27表面と、キャパシタの上部電極26表面との間には約1μmの段差が生じる。

【0025】なお、半導体基板表面上には絶縁保護層29が形成されている。絶縁保護層29には、電極表面の中央部を露出する開口が形成されている。露出された電極表面上に、表面電極14、15s、15dが形成されている。

【0026】絶縁基板18上には、配線用電極19c、19s、19dが形成されている。表面電極14、15s、15d、配線用電極19c、19s、19dを均一に接続するために、高さの異なる導電性ピラー16、17s、17dを用いる。これらの導電性ピラーは、絶縁基板18上に形成しても、半導体基板11上に形成してもよい。

【0027】図3(B)は、半導体基板11の平面構成を概略的に示す。図中右側に電界効果トランジスタFETが形成され、左側にキャパシタCAPが形成されている。キャパシタの表面電極14上には、径の小さい導電性ピラー16が配置される。FETのソースおよびドレイン上の表面電極15s、15dの上には、径の大きい導電性ピラー17s、17dが配置される。なお、ゲート電極28は、図3(A)と異なる場所で絶縁基板上に引き出される。

【0028】トランジスタFETおよびキャパシタCAPを作成した半導体基板11の製造工程は、従来周知の方法によって実施することができる。次に、絶縁基板上に高さの異なる導電性ピラーを作成する方法を説明す

る。

【0029】図4(A)は、絶縁基板18上に開口を有するホトレジスト層32を形成する工程を示す。

【0030】配線用電極(図示せず)を有する絶縁基板18上に、種金属層31を形成する。たとえば、厚さ約100nmのAu層または厚さ約100nmのTiW層と厚さ約100nmのAu層の積層を形成する。種金属層31の形成は、スパッタリング、蒸着、メッキ等によって行うことができる。種金属層31の表面上に、粘性の高いレジスト材料を用い、ホトレジスト層32を形成する。図2(A)の曲線Hb2を用いるため、レジスト層を2回塗布することにより、厚さ約25μmのホトレジスト層32を形成する。

【0031】このホトレジスト層上に、マスクMを配置し、コンタクト露光またはプロキシミティ露光により開口部を露光する。ホトレジスト層を現像することにより、開口38を形成する。なお、ボジ露光の場合を説明したが、ネガ露光で行ってもよい。この場合に、マスクの白黒は反転する。

【0032】図3(A)におけるFETとキャパシタCAPの段差1μmを吸収するため、高さ19μmのピラーと高さ20μmのピラーを作成することにする。図2(A)の曲線Hb2を用いると、高さ19μmと高さ20μmのメッキ層を作成するには、開口部の径Dが約32.3μmφと約34.6μmφであればよいことが分かる。図4(A)に示す開口38の径は、このようにして設計する。

【0033】図4(B)は、絶縁基板18上の種金属層31上にメッキを行う工程を示す。径の異なる開口部を有するホトレジスト層32を形成した絶縁基板18を、対向電極34と共にメッキ液33中に浸漬する。対向電極34に正電位、絶縁基板上の種金属層31に負電位を与え、43℃のメッキ液33中に5.8A/Wfの電流を133分間流す。この時、メッキ層の成長速度は約0.15μm/minである。

【0034】図4(C)は、このようにして形成されたメッキ層の状態を概略的に示す。キャパシタ用の開口には、高さ約19μmのメッキ層35cが成長し、FETのソース／ドレイン電極に対応する開口中には、高さ約20μmのメッキ層35s、35dが成長する。

【0035】このように所望高さのメッキ層を形成した後、図4(D)に示すように、ホトレジスト層32を除去する。その後、イオンミリングによりピラー状メッキ層以外の部分の種金属層31を除去する。このようにして、絶縁基板18上に所望高さのピラー状メッキ層35を形成することができる。

【0036】このように、所望高さのピラーを形成した絶縁基板を半導体基板11上に配置し、半導体基板の表面電極にボンディングすることにより、図3(A)に示すフリップチップボンディング半導体装置を完成するこ

とができる。

【0037】なお、絶縁基板上にピラーを形成する場合を説明したが、半導体基板にピラーを形成することもできる。

【0038】図5は半導体基板11上に導電性ピラーを作成する工程を概略的に示す。半導体基板11上に、ホトレジスト層36を塗布する。前述のレジスト層塗布工程と同様、所望回の塗布を繰り返すことにより、十分厚いホトレジスト層36を形成する。ホトレジスト層36上にマスクを配置し、コンタクト露光またはプロキシミティ露光により所望パターンの露光を行う。ホトレジスト層36を現像することにより、表面電極14、15s、15dを露出する開口38を形成する。

【0039】以後、前述の実施例同様、図4(B)に示すようなメッキ工程を行い、表面電極14、15s、15d上にピラー16、17s、17dを形成する。その後、ホトレジスト層36は除去する。

【0040】図6は、本発明の他の実施例による半導体装置を概略的に示す。半導体基板11上に絶縁基板18をボンディングする。半導体基板11周辺部の表面上に、次第に高さが低くなるピラー41、42、43を形成する。これらはボンディングのモニタピラーであり、半導体基板11の他の場所には、回路部分が形成され、回路部分上に電気的接続用の導電性ピラーが別に形成される。

【0041】たとえば、モニタ用ピラー42の高さは回路部分の電気接続に必要なピラーと同等の高さであるとする。最も高いピラー41が押しつぶされ、次に高いピラー42が絶縁基板11とボンディングされた状態が良好な状態である。絶縁基板18を押しすぎると、低いピラー43も絶縁基板18と接触してしまう。

【0042】このように、高さの異なる3本のピラーのうち2本が接続された状態が良好な状態である。1本のピラーのみが接続された状態は押しかたが不足する状態であり、3本とも接続された状態は押し過ぎの状態である。

【0043】半導体装置の製造プロセスにおいて、フリップチップボンディングを行った後、モニタ用ピラー41、42、43のボンディングの状態を目視することにより、ボンディングの良否を簡単に判断することができる。すなわち、電流を流すことなく、ボンディングの過不足を簡便に判断することが可能となる。

【0044】なお、半導体基板がトランジスタとキャパシタを有する場合を説明したが、これは単なる例示であり、どのような構成の半導体基板であってもよい。半導体基板は化合物半導体基板に制限されない。Si基板を用いても、フリップチップボンディング等のフェースダウンボンディングの利点を得ることができる。

【0045】表面に段差を有する半導体基板と、表面に配線用電極を形成した絶縁基板をフェースダウンボンデ

ィングする場合を説明したが、平坦な表面を有する基板と段差表面を有する基板間をフェースダウンボンディングする場合に同様の工程を実施することができる。たとえば、Si基板上に化合物半導体基板をフリップチップボンディングしてもよい。

【0046】レジストマスクを形成した基板をメッキ液に浸漬して電解メッキする場合を説明したが、無電解メッキを用いてもよい。パッド法等、他のメッキ法を用いてもよい。

【0047】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

【0048】

【発明の効果】以上説明したように、本発明によれば、段差表面を有する半導体基板と平坦な表面を有する基板とを均一にフリップチップボンディングすることができる。

【図面の簡単な説明】

【図1】本発明の基本実施例による半導体装置を示す平面図、断面図である。

【図2】実験結果を示すグラフと実験に用いたサンプルの構成を示す概略断面図である。

【図3】本発明のより具体的な実施例を示す断面図および平面図である。

【図4】本発明の実施例によるメッキ工程を説明するための断面図である。

【図5】本発明の他の実施例によるメッキ工程を示す断面図である。

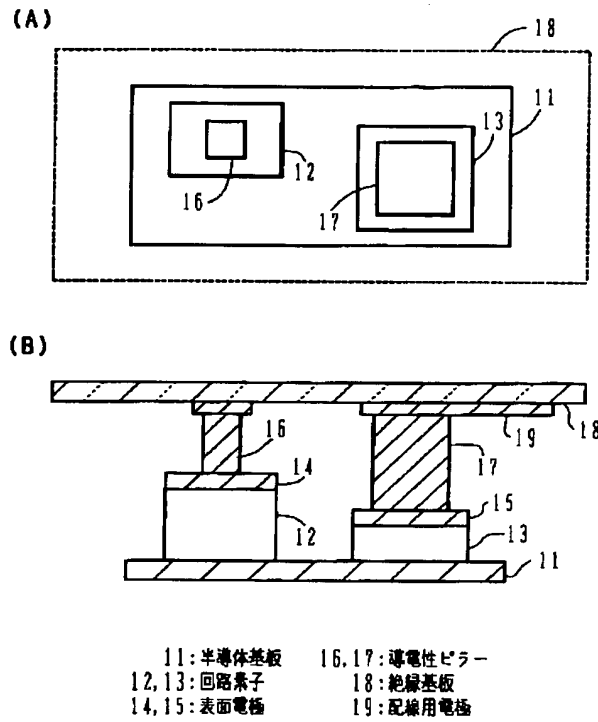
【図6】本発明の他の実施例によるモニタ用ピラーの機能を説明するための断面図である。

【符号の説明】

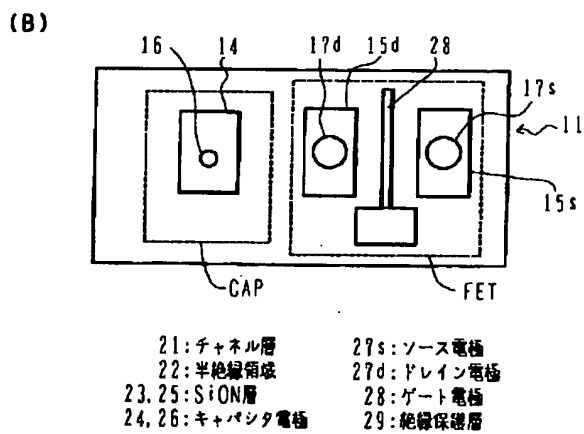
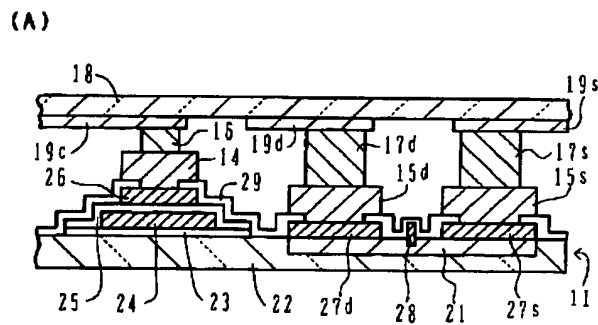
- 11 半導体基板
- 12、13 回路素子
- 14、15 表面電極
- 16、17 導電性ピラー
- 18 絶縁基板
- 19 配線用電極
- 21 チャンネル層
- 22 半絶縁領域
- 23、25 SiON層
- 24、26 キャパシタ電極
- 27s ソース電極
- 27d ドレイン電極
- 28 ゲート電極
- 29 絶縁保護層
- 31 種金属層
- 32 ホトレジスト層
- 33 メッキ液
- 34 対向電極

3.6 ホトレジスト層

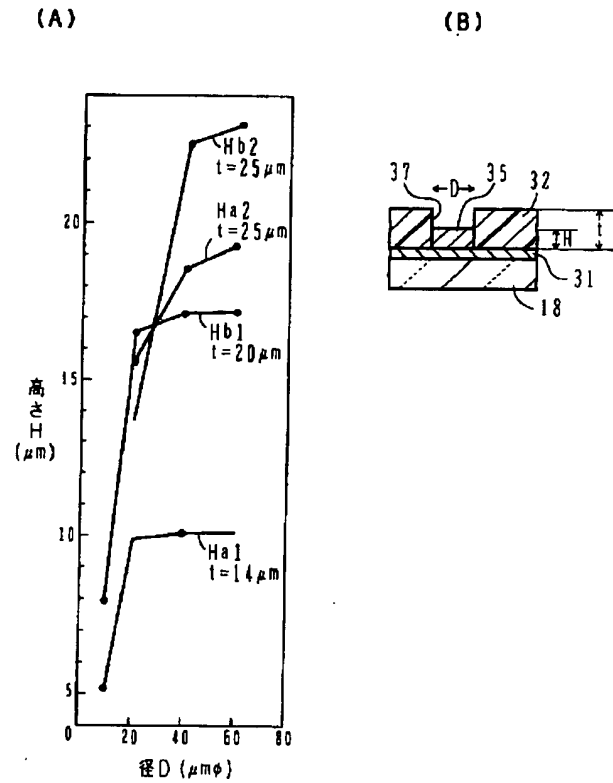
【図1】



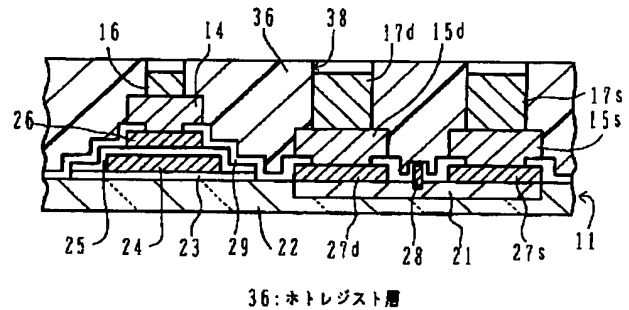
【図3】



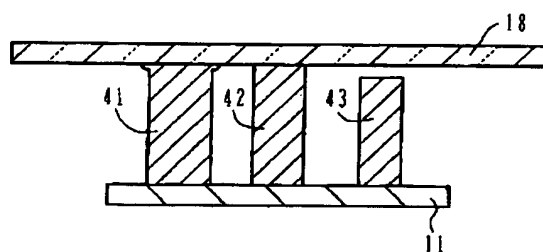
【図2】



【図5】

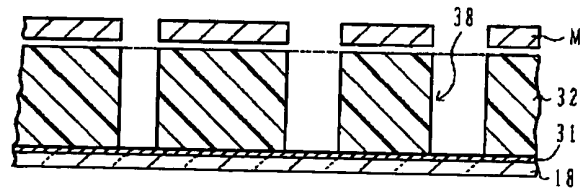


【図6】

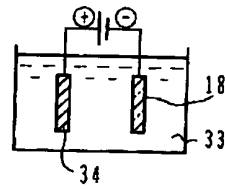


【図4】

(A)

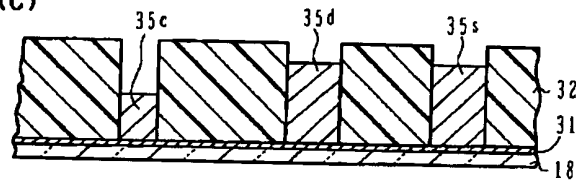


(B)



31: 種金属層
 32: ホトレジスト層
 33: メッキ液
 34: 対向電極

(C)



(D)

